## (19) 世界知的所有権機関 国際事務局



# 

# (10)WO 2006/001271 A1

(43) 国際公開日 2006 年1 月5 日(05.01.2006)

(51) 国際特許分類7: HOIL 21/8238, 21/28, 27/092, 29/423, 29/49, 29/78

(21) 国際出願番号:

PCT/JP2005/01 1331

(22) 国際出願日:

2005 年6 月21 日(21.06.2005)

(25) 国際出願の言語:

日木語

(26) 国際公開の言語:

日木語

(30) 優先権子一タ:

2004年6月23 B (23.06.2004) 特願 2004-184758

(71) 出願人 (米国を除く全ての指定国について): 日本電気 株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).

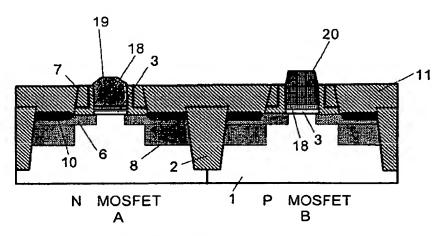
(72) 発明者; および

(75) 発明者/di願人 (米国についてのみ): 高橋 健介 (TAKA-HASHI, Kensuke) [JP/JP]; 〒1088001東京都港区芝五 丁目7番1号 日本電気株式会社内 Tokyo (JP). 間部 謙三 (MANABE, Kenzou) [JP/JP]; 〒1088001 東京都 港区芝五丁目7番1号 日本電気株式会社内Tokyo (JP). 五十嵐 信行 (IKARASHI, Nobuyuki) [JP/JP]; 〒 1088001 東京都港区芝五丁目7番.1号 日本電気株式 会社内 Tokyo (JP). 辰巳徹 (TATSUMI, Tooru) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株 式会社内Tokyo (JP).

- (74) 代理人: 天野広 (AMANO, Hiroshi); 〒1050014 東京 都港区芝三丁目40番4号シャイン三田ピル5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護 ガ可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, E., FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, \_D, \_E, \_G, \_K, SL, \_M, \_Y, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護 ガ可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, \_Z, TZ, UG, ZM, ZW), -x ーラシア (AM, AZ,

1続葉有7

- (54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
- (54) 発明の名称: 半導体装置及びその製造方法



A ... N TYPE MOSFET **B... P TYPE MOSFET** 

(57) Abstract: There is provided a semiconductor device capable of improving the problem of the CMOS transistor threshold value control in the technique of combination of a high dielectric gate insulation film and a metal gate electrode and significantly improving the element characteristic without lowering the element reliability. The semiconductor device includes a gate insulation film using a high dielectric material and a gate electrode having a composition at the side in contact with the gate insulation film mainly containing silicide of metal M expressed by MxSiI - x(0 < x < 1), wherein the silicide of the metal M is x > 0.5 in the case of P type MOSFET and the silicide of the metal M is  $x \le 0.5$  in the case of N type MOSFET.

[続葉有]

#### 

BY, KG, KZ, MD, RU, TJ, TM),  $\exists -\Box \not \supset / \uparrow$  (AT, BE, BG, CH, CY, CZ, DE, DK, EE, E., FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI  $\mathcal{O}$ F, BJ, CF, CR, CI, CM,  $\mathcal{B}$ A, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2 文字 $_{3}$  ー  $_{4}$  ド及び他の略語については、定期発行される各 $_{4}$  各 $_{5}$  アンガゼ $_{10}$  トの巻頭に掲載されている  $_{1}$  コードと略語のガイダンスノー  $_{1}$  を参照。

### 添付公 開書類:

一 国際調査報告書

<sup>(57)</sup>要約: 高誘電率ゲート絶縁膜とメタルゲート電極の組み合わせ技術におけるCMOSトランジスタのしきい値制御の問題を改善し、素子の信頼性を低下させることなく特性を大幅に向上させることが可能な半導体装置を提供する。高誘電率材料を用いたゲート絶縁膜と、前記ゲート絶縁膜に接している側の組成がM×Sii-×(0 く×く1)で表される金属Mのシリサイドを主成分としたゲート電極を備え、P型MOSFE」では前記金属Mのシリサイドが×ノ0.5、N型MOSFE」では金属Mのシリサイドが×≤0.5であることを特徴とする半導体装置である。